

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000150828 A

(43) Date of publication of application: 30 . 05 . 00

(51) Int. Cl

H01L 27/108
H01L 21/8242
H01L 21/3205

(21) Application number: 10327534

(71) Applicant: NEC CORP

(22) Date of filing: 04 . 11 . 98

(72) Inventor: OKUBO HIROAKI

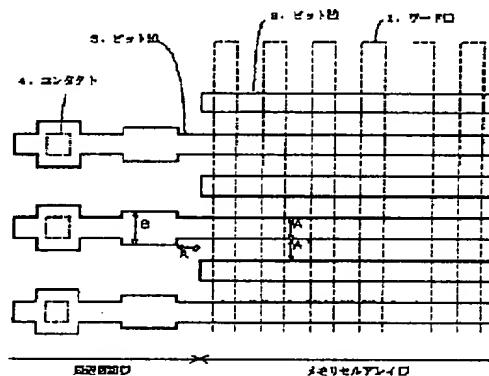
(54) ELECTRONIC DEVICE, SEMICONDUCTOR
DEVICE AND METHOD FOR FORMING
ELECTRODE

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent a bit line from being thinned or broken without causing short circuit thereof by forming a part of coarse wiring pattern wider than a tight wiring pattern and forming the wide part of the wiring pattern while spacing apart constantly from the tight wiring region.

SOLUTION: Bit lines 2, 3 are arranged periodically and tightly and one half bit lines 3 are led out from the cell array end part and wired. Consequently, the density of the bit line 3 is halved on the outside of a memory cell. In the peripheral region, the bit line 3 is connected with an underlying diffusion layer through a contact 4. The line width is designed wide ($B > A$) at the lead-out part from the cell array. The wide part of wiring pattern is spaced apart by a minimum dimension A' from the tight wiring region. Contacts 4 are formed in the peripheral circuit part on same substrate while being connected with the bit lines 2, 3.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-150828

(P2000-150828A)

(43)公開日 平成12年5月30日 (2000.5.30)

(51)Int.Cl.⁷

識別記号

F I

テマコード(参考)

H 01 L 27/108
21/8242
21/3205

H 01 L 27/10
21/88

6 8 1 B 5 F 0 3 3
A 5 F 0 8 3

審査請求 有 請求項の数 6 FD (全 7 頁)

(21)出願番号 特願平10-327534

(22)出願日 平成10年11月4日 (1998.11.4)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大庭 宏明

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74)代理人 100097113

弁理士 堀 城之

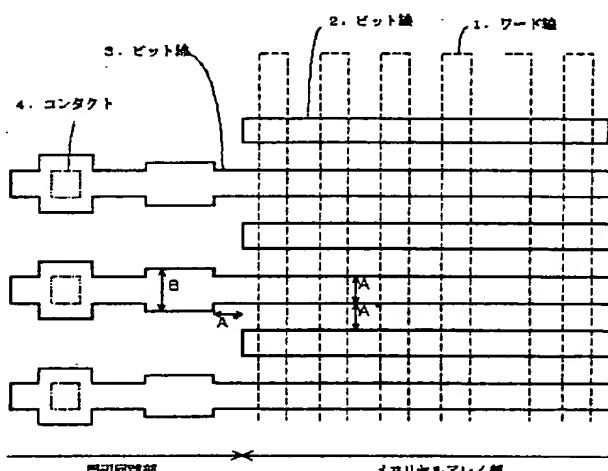
Fターム(参考) 5P033 HH28 JJ28 MM21 XX31
5P083 AD00 GA30 JA35 JA39 LA12
MA06 MA19

(54)【発明の名称】 電子デバイス並びに半導体装置、及び電極形成方法

(57)【要約】

【課題】 本発明は、メモリセル内ビット線のセルアレイ外部への引き出し部分において、ビット線間の短絡を起こすことなく、ビット線の細り及び断線を防ぐことができ、歩留まりを改善できる電子デバイス並びに半導体装置、及び電極形成方法を提供することを課題とする。

【解決手段】 周期的に配列された配線の疎密が異なる領域において、疎な配線パターンの一部の線幅を広く形成し、また配線パターンの線幅が広くなっている部分を、密な配線領域から一定の間隔をおいて形成する。



【特許請求の範囲】

【請求項1】 周期的に配列された配線の疎密が異なる領域において、疎な配線パターンの一部の線幅を密な配線パターンの線幅に比べて広く形成し、また配線パターンの線幅が広くなっている部分を、密な配線領域から一定の間隔をもつて形成した電子デバイスであって、前記配線パターンの線幅が広くなっている部分は、前記配線が密である領域から最小基準寸法程度の間隔をもつて形成され、当該密な配線パターンの間隔と当該最小基準寸法とは、

$$[\text{密な配線パターンの間隔}] \leq [\text{最小基準寸法}] \leq 2 \times [\text{密な配線パターンの間隔}]$$
 を満たすように設定されていることを特徴とする電子デバイス。

【請求項2】 周期的に配列された配線の疎密が異なるセルアレイ外部への引き出し部分において、セルアレイ外部の疎な配線パターンの一部の線幅をセルアレイ内部の密な配線パターンの線幅に比べて広く形成し、またセルアレイ外部の配線パターンの線幅が広くなっている部分を、セルアレイ端部から一定の間隔をもつて形成した半導体装置であって、前記セルアレイ外部の配線パターンの線幅が広くなっている部分は、前記セルアレイ端部から最小基準寸法程度の間隔をもつて形成され、当該セルアレイ内部の密な配線パターンの間隔と当該セルアレイ端部から最小基準寸法とは、

$$[\text{セルアレイ内部の密な配線パターンの間隔}] \leq [\text{セルアレイ端部からの最小基準寸法}] \leq 2 \times [\text{セルアレイ内部の密な配線パターンの間隔}]$$
 を満たすように設定されていることを特徴とする半導体装置。

【請求項3】 周期的に配列されたビット線の疎密が異なるメモリセルアレイ外部の周辺回路部への引き出し部分において、周辺回路部の疎なビット線の一部のライン幅をメモリセルアレイ内部の密なビット線のライン幅Aに比べて広く形成し、また周辺回路部のビット線のライン幅が広くなっている部分を、メモリセルアレイ端部から一定の間隔をもつて形成した半導体装置であって、前記周辺回路部のビット線のライン幅が広くなっている部分は、前記メモリセルアレイ端部から最小基準寸法程度の間隔をもつて形成され、当該メモリセルアレイ内部の密なビット線間のスペースと当該メモリセルアレイ端部から最小基準寸法とは、

$$[\text{メモリセルアレイ内部の密なビット線間のスペース}] \leq [\text{メモリセルアレイ端部からの最小基準寸法}] \leq 2 \times [\text{メモリセルアレイ内部の密なビット線間のスペース}]$$
 を満たすように設定されていることを特徴とする半導体装置。

【請求項4】 周期的に配列された配線の疎密が異なる領域において、疎な配線パターンの一部の線幅を密な配

線パターンの線幅に比べて広く形成し、配線パターンの線幅が広くなっている部分を、密な配線領域から一定の間隔をもつて形成する電極形成方法であって、前記配線パターンの線幅が広くなっている部分を、前記配線が密である領域から最小基準寸法程度の間隔をもつて形成する工程と、

当該密な配線パターンの間隔と当該最小基準寸法とは、

$$[\text{密な配線パターンの間隔}] \leq [\text{最小基準寸法}] \leq 2 \times [\text{密な配線パターンの間隔}]$$
 の関係を満たすように設定する工程とを有することを特徴とする電極形成方法。

【請求項5】 周期的に配列された配線の疎密が異なるセルアレイ外部への引き出し部分において、セルアレイ外部の疎な配線パターンの一部の線幅をセルアレイ内部の密な配線パターンの線幅に比べて広く形成し、またセルアレイ外部の配線パターンの線幅が広くなっている部分を、セルアレイ端部から一定の間隔をもつて形成する電極形成方法であって、前記セルアレイ外部の配線パターンの線幅が広くなっている部分を、前記セルアレイ端部から最小基準寸法程度の間隔をもつて形成する工程と、

当該セルアレイ内部の密な配線パターンの間隔と当該セルアレイ端部から最小基準寸法とは、

$$[\text{セルアレイ内部の密な配線パターンの間隔}] \leq [\text{セルアレイ端部からの最小基準寸法}] \leq 2 \times [\text{セルアレイ内部の密な配線パターンの間隔}]$$
 の関係を満たすように設定する工程とを有することを特徴とする電極形成方法。

【請求項6】 周期的に配列されたビット線の疎密が異なるメモリセルアレイ外部の周辺回路部への引き出し部分において、周辺回路部の疎なビット線の一部のライン幅をメモリセルアレイ内部の密なビット線のライン幅Aに比べて広く形成し、また周辺回路部のビット線のライン幅が広くなっている部分を、メモリセルアレイ端部から一定の間隔をもつて形成した電極形成方法であって、前記周辺回路部のビット線のライン幅が広くなっている部分を、前記メモリセルアレイ端部から最小基準寸法程度の間隔をもつて形成する工程と、

当該メモリセルアレイ内部の密なビット線間のスペースと当該メモリセルアレイ端部から最小基準寸法とは、

$$[\text{メモリセルアレイ内部の密なビット線間のスペース}] \leq [\text{メモリセルアレイ端部からの最小基準寸法}] \leq 2 \times [\text{メモリセルアレイ内部の密なビット線間のスペース}]$$
 の関係を満たすように設定する工程とを有することを特徴とする電極形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電極形成技術に関し、特に、微細な配線を備えた電子デバイス並びに半導体装置、及び電極形成方法に関する。

【0002】

【従来の技術】 図4は、一般的なDRAMのセルアレイ

内ビット線とその下に配置されるワード線の平面レイアウト図である。一般に、DRAMのセルアレイ内のビット線2、3”は最小基準寸法のライン幅A／スペースA’で周期的に密に配列され、セルアレイ端部でその半数であるビット線3”が外側へ引き出され周辺回路部へ連続的に続くように配置されている。従って、メモリセルアレイの外側では周期性が変わりビット線の密度は半分になっている。周辺領域でビット線3はコントクト4によって下方の拡散層（図示せず）に接続されている。

【0003】また、従来の配線パターンの形成方法として、例えば、特開平5-283437号公報（第1従来技術）、特開平6-175348号公報（第2従来技術）が開示されている。

【0004】第1従来技術は、能動層領域上において、ソース電極とドレイン電極でゲート電極をはさむ構造のトランジスタのゲートパターンの形成方法であって、能動層領域の外側で、かつソース電極およびドレイン電極近傍でゲート電極をはさむ構造のダミーパターンを、ソース・ドレイン電極メタルでソース電極およびドレイン電極と同じ厚さに形成した後、その上にフォトレジスト膜を形成し、このフォトレジスト膜をパターニングしてゲートパターンを形成する。またダミーパターンは、ソース・ドレイン電極メタルに代えてショットキーメタルで形成し、ダミーパターンは、ソース・ドレイン電極メタルに代えて絶縁物で形成する。すなわち、ソース・ドレイン電極近傍にソース・ドレイン電極メタルによる、ソース・ドレイン電極と同じ厚さのダミーパターンを設けた結果、能動層領域のゲートフィンガーパターンの寸法を均一に、しかも細く形成でき、工程数を増やすことなく、容易に形成が可能であること、また、ダミーパターンにショットキーメタルを用いたことにより、ガードリング効果によりトランジスタ特性が向上する効果があること、さらに、ダミーパターンに絶縁物を用いたので、ダミーパターンを加えたことによる漏れ電流によるトランジスタ劣化要因を考慮する必要がなく、ひいてはゲート長短縮の効果による特性向上分のすべてが反映されることが開示されている。

【0005】図5は、第2従来技術の配線パターンを示す概略図である。図5に示すように、第2従来技術は、レジストパターンの形成方法であって、投影露光に使用するホトマスクのパターンの一部に、解像すべき第1のパターン5の短寸法Wが $W = \lambda / (2 \times NA)$ 以下（但し、 λ =露光波長、NA=投影レンズの開口数）であり、第1のパターンに接続して配列された第2のパターン6との間に段差が $W/3$ 以上存在する合成图形パターンの時、接続部より第1のパターン側の一部の短寸法線幅を少なくとも片側 $a \times W$ （但し、 $0.07 \leq a \leq 0.28$ ）だけ広げたパターン7を含み、また、投影露光の照明のコヒーレント係数が0.4以下であり、ホトマスクが透過光の位相をコントロールした位相シフトマスクである。これによ

り、通常のマスクでは解像限界以下のパターンを位相シフトマスクを用いて形成する場合に問題となる寸法変化部分でのパターン寸法細りを防止でき、実素子の製造で用いられる複雑なパターンでも解像限界付近のパターンを用いることができ、また、このマスクを用いて半導体素子を作成した結果、従来型のマスクに比べパターンの微細化が実現でき素子面積の縮小化が実現できることが開示されている。

【0006】

【発明が解決しようとする課題】しかしながら、リソグラフィー上、メモリセル内のような解像限界に近い微細な密パターンの加工に必要となる露光条件では疎なパターン付近の光強度が相対的に強まりオーバー露光条件となる。これによりレジストパターンの細り、解像不良が発生しやすくなるため、第1従来技術では、配線の周囲下方に下地ダミーパターンを置くものであるが、図4のように配線の疎密を問題とする場合には適用困難であるという問題点があった。また、メモリセル内ビット線のセルアレイ外部への引き出し部分において、図4に点線で示したようなビット線の細りや断線が発生し、歩留まりが低下するという問題点があった。

【0007】同様に、第2従来技術は、配線パターンの細い線幅部分5と広い部分6の間に細い線幅部分5よりも一定に線幅を広げた部分7を設けることで、回折光の影響を回避するというものであるが、配線パターンは一定線幅のライン／スペースであり回折光の影響は小さく、また疎密が変わると隣接配線間の短絡が発生しやすくなり適用にはできないという問題点があった。

【0008】本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、周期的に配列された配線の疎密が異なる領域において、疎な配線パターンの一部の線幅を広く形成し、また配線パターンの線幅が広くなっている部分を、密な配線領域から一定の間隔をおいて形成することにより、メモリセル内ビット線のセルアレイ外部への引き出し部分において、ビット線間の短絡を起こすことなく、ビット線の細り及び断線を防ぐことができ、歩留まりを改善できる電子デバイス並びに半導体装置、及び電極形成方法を提供する点にある。

【0009】

【課題を解決するための手段】本発明の請求項1に記載の要旨は、周期的に配列された配線の疎密が異なる領域において、疎な配線パターンの一部の線幅を密な配線パターンの線幅に比べて広く形成し、また配線パターンの線幅が広くなっている部分を、密な配線領域から一定の間隔をおいて形成した電子デバイスであって、前記配線パターンの線幅が広くなっている部分は、前記配線が密である領域から最小基準寸法程度の間隔をおいて形成され、当該密な配線パターンの間隔と当該最小基準寸法とは、【密な配線パターンの間隔】 \leq 【最小基準寸法】 \leq

$2 \times$ [密な配線パターンの間隔] を満たすように設定されていることを特徴とする電子デバイスに存する。また本発明の請求項2に記載の要旨は、周期的に配列された配線の疎密が異なるセルアレイ外部への引き出し部分において、セルアレイ外部の疎な配線パターンの一部の線幅をセルアレイ内部の密な配線パターンの線幅に比べて広く形成し、またセルアレイ外部の配線パターンの線幅が広くなっている部分を、セルアレイ端部から一定の間隔をもって形成した半導体装置であって、前記セルアレイ外部の配線パターンの線幅が広くなっている部分は、前記セルアレイ端部から最小基準寸法程度の間隔をもって形成され、当該セルアレイ内部の密な配線パターンの間隔と当該セルアレイ端部から最小基準寸法とは、[セルアレイ内部の密な配線パターンの間隔] \leq [セルアレイ端部からの最小基準寸法] $\leq 2 \times$ [セルアレイ内部の密な配線パターンの間隔] を満たすように設定されていて、前記セルアレイ端部から最小基準寸法程度の間隔をもって形成することを特徴とする半導体装置に存する。また本発明の請求項3に記載の要旨は、周期的に配列されたビット線の疎密が異なるメモリセルアレイ外部の周辺回路部への引き出し部分において、周辺回路部の疎なビット線の一部のライン幅をメモリセルアレイ内部の密なビット線のライン幅Aに比べて広く形成し、また周辺回路部のビット線のライン幅が広くなっている部分を、メモリセルアレイ端部から一定の間隔をもって形成した半導体装置であって、前記周辺回路部のビット線のライン幅が広くなっている部分は、前記メモリセルアレイ端部から最小基準寸法程度の間隔をもって形成され、当該メモリセルアレイ内部の密なビット線間のスペースと当該メモリセルアレイ端部から最小基準寸法とは、[メモリセルアレイ内部の密なビット線間のスペース] \leq [メモリセルアレイ端部からの最小基準寸法] $\leq 2 \times$ [メモリセルアレイ内部の密なビット線間のスペース] を満たすように設定されていて、前記メモリセルアレイ端部から最小基準寸法程度の間隔をもって形成することを特徴とする半導体装置に存する。また本発明の請求項4に記載の要旨は、周期的に配列された配線の疎密が異なる領域において、疎な配線パターンの一部の線幅を密な配線パターンの線幅に比べて広く形成し、配線パターンの線幅が広くなっている部分を、密な配線領域から一定の間隔をもって形成する電極形成方法であって、前記配線パターンの線幅が広くなっている部分を、前記配線が密である領域から最小基準寸法程度の間隔をもって形成する工程と、当該密な配線パターンの間隔と当該最小基準寸法とを、[密な配線パターンの間隔] \leq [最小基準寸法] $\leq 2 \times$ [密な配線パターンの間隔] の関係を満たすように設定する工程とを有することを特徴とする電極形成方法に存する。また本発明の請求項5に記載の要旨は、周期的に配列された配線の疎密が異なるセルアレイ外部への引き出し部分において、セルアレイ外部の疎な配線パターンの一部の線幅をセルアレイ内部の密な配線パターンの線幅に比べて広く形成し、またセルアレイ外部の配線パターンの線幅が広くなっている部分を、セルアレイ端部から一定の間隔をもって形成する際

いる部分を、セルアレイ端部から一定の間隔をもって形成する電極形成方法であって、前記セルアレイ外部の配線パターンの線幅が広くなっている部分を、前記セルアレイ端部から最小基準寸法程度の間隔をもって形成する工程と、当該セルアレイ内部の密な配線パターンの間隔と当該セルアレイ端部から最小基準寸法とを、[セルアレイ内部の密な配線パターンの間隔] \leq [セルアレイ端部からの最小基準寸法] $\leq 2 \times$ [セルアレイ内部の密な配線パターンの間隔] の関係を満たすように設定する工程とを有することを特徴とする電極形成方法に存する。また本発明の請求項6に記載の要旨は、周期的に配列されたビット線の疎密が異なるメモリセルアレイ外部の周辺回路部への引き出し部分において、周辺回路部の疎なビット線の一部のライン幅をメモリセルアレイ内部の密なビット線のライン幅Aに比べて広く形成し、また周辺回路部のビット線のライン幅が広くなっている部分を、メモリセルアレイ端部から一定の間隔をもって形成した電極形成方法であって、前記周辺回路部のビット線のライン幅が広くなっている部分を、前記メモリセルアレイ端部から最小基準寸法程度の間隔をもって形成する工程と、当該メモリセルアレイ内部の密なビット線間のスペースと当該メモリセルアレイ端部から最小基準寸法とを、[メモリセルアレイ内部の密なビット線間のスペース] \leq [メモリセルアレイ端部からの最小基準寸法] $\leq 2 \times$ [メモリセルアレイ内部の密なビット線間のスペース] の関係を満たすように設定する工程とを有することを特徴とする電極形成方法に存する。

【0010】

【発明の実施の形態】本発明の実施形態の電子デバイスは、微細な配線パターンを有する半導体素子等を意味し、周期的に配列された配線の疎密が異なる領域において、疎な配線パターンの一部の線幅Bを密な配線パターンの線幅Aに比べて広く ($B > A$) 形成し、また配線パターンの線幅が広くなっている部分を、密な配線領域から一定の間隔だけ離間して形成している。この際、前述の電極形成方法が実行され、配線パターンの線幅が広くなっている部分は、配線が密である領域から最小基準寸法A”程度の間隔だけ離間して形成されている。更に、密な配線パターンの間隔A’と最小基準寸法A”とは、
[密な配線パターンの間隔A’] \leq [最小基準寸法A”] $\leq 2 \times$ [密な配線パターンの間隔A’] を満たすように設定されている。

【0011】例えば、電子デバイスとしてメモリデバイスを例に取ると、周期的に配列されたビット線の疎密が異なるメモリセルアレイ外部の周辺回路部への引き出し部分において、周辺回路部の疎なビット線の一部のライン幅Bをメモリセルアレイ内部の密なビット線のライン幅Aに比べて広く ($B > A$) 形成し、また周辺回路部のビット線のライン幅が広くなっている部分を、メモリセルアレイ端部から一定の間隔だけ離間して形成する際

に、前述の電極形成方法が実行され、周辺回路部のビット線のライン幅が広くなっている部分を、メモリセルアレイ端部から最小基準寸法A”程度の間隔だけ離間して形成し、更に、メモリセルアレイ内部の密なビット線間のスペースA’とメモリセルアレイ端部から最小基準寸法A”とを、

- [メモリセルアレイ内部の密なビット線間のスペースA’] \leq [メモリセルアレイ端部からの最小基準寸法A”] \leq $2 \times$ [メモリセルアレイ内部の密なビット線間のスペースA’]

を満たすように設定している。

【0012】(第1実施形態) 図1は、本発明のメモリデバイス(DRAM)のメモリセルアレイ内ビット線2, 3とその下に配置されるワード線1の第1実施形態を示す平面レイアウト図である。DRAMのセルアレイ内のビット線2, 3は最小基準寸法のライン幅(線幅)A／スペース(線間隔)A’で周期的に密に配列され、セルアレイ端部でその半数であるビット線3が外側へ引き出され周辺回路部へ連続的に続くように配置されている。従って、メモリセルアレイの外側では周期性が変わりビット線3の密度は半分になっている。周辺領域でビット線3はコンタクト4によって下方の拡散層(図示せず)に接続されている。セルアレイからの引き出し部では線幅の細り易い部分近傍でビット線3の線幅が広く(B>A)

設計されている。また、この配線パターンの線幅が広くなっている部分は、配線が密である領域から最小基準寸法A”程度の間隔だけ離間して形成されている。周辺回路部には、ビット線2, 3の各々を外部と接続するための電極であるコンタクト4がビット線2, 3の各々と接続された状態で、同一基板上に形成されている。

【0013】以上第1実施形態を要約すれば、メモリセル内ビット線3のセルアレイ外部への引き出し部分において、その線幅を太く設定することでビット線3の断線を防ぎ歩留まりを改善することができる。すなわち、メモリセル内ビット線3のセルアレイ外部への引き出し部分において、ビット線間の短絡を起こすことなく、ビット線3の細り及び断線を防ぐことができるようになり、その結果、歩留まりを改善できるといった効果を奏する。例えば、配線が密である領域から一定の間隔をおいて線幅を太らせているので、リソグラフィー上、解像限界に近い微細な密パターンの加工に必要な露光条件では疎なパターン付近の光強度が相対的に強まりオーバー露光条件となつたときであっても、レジストパターンの細り、解像不良を回避することができる。

【0014】(第2実施形態) 図2は、本発明のメモリデバイス(DRAM)のメモリセルアレイ内ビット線2, 3’とその下に配置されるワード線1の第2実施形態を示す平面レイアウト図である。DRAMのセルアレイ内のビット線2, 3’は最小基準寸法のライン幅(線幅)A／スペース(線間隔)A’で周期的に密に配列され、セルアレイ端部でその半数であるビット線3’が外側へ引き出され周辺回路部へ連続的に続くように配置されている。

【0015】ここで、メモリセルアレイの外側では周期性が変わりビット線3’の密度は半分になっている。周辺領域でビット線3’はコンタクト4によって下方の拡散層(図示せず)に接続されている。

【0016】セルアレイからの引き出し部では線幅の細り易い部分近傍でビット線3’の線幅が広く(B>A)設計されている。また、この配線パターンの線幅が広くなっている部分は、配線が密である領域から最小基準寸法A”程度の間隔だけ離間して形成されている。

【0017】本実施形態では、図1と異なり隣接するビット線2とビット線3’とが2本毎に交互に引き出されており、また引き出し部分は曲げられている。このような引き出し部の配列、形態等によらず、配線が密である領域から最小基準寸法A”程度の間隔をおいて引き出し部分を広く設定することで、ビット線間の短絡を起こさずにビット線3’の細り、断線が防止されている。

【0018】さらに、ここではビット線3’の太い部分(線幅=B)は下地ゲート段により下地層間絶縁膜14の高さが変化し段差となっている遷移領域に相当している。この様子を図2の断面概略図である図3に示す。図3は図2におけるビット線延在方向における製造工程の一断面図である。

【0019】シリコン基板10上には、素子分離絶縁膜11、ゲート電極となるワード線12、ソース・ドレンとなるSD拡散層13が形成され、これら10, 11及び13が層間絶縁膜14で覆われている。ここでは、メモリセル領域にはゲート電極が配置されているがメモリセル領域周囲にはゲート電極が配置されていないため、層間絶縁膜14の上はメモリセル領域で高くその周囲領域で低く、その境界で段差をもつた形状となっている。

【0020】層間絶縁膜14の上には全面にタングステンポリサイド膜15が堆積され、さらにその上にフォトレジスト16が堆積されている。タングステンポリサイド膜15はこのフォトレジスト16をマスクにエッチングされビット線2, 3’が形成される。

【0021】ここでフォトレジスト16の膜厚X, Y, Zは、メモリセル領域、周辺領域では設定された膜厚となっているが(X=Y)、段差となる境界領域では膜厚が薄く形成されている(Z<X=Y)。この段差部において、レジスト膜厚が相対的に薄くなることにより、レジストパターンの細り、解像不良が起こり易くなるが、段差部近傍でビット線3’の線幅が太くなっているため配線の細り、断線を防ぐことができる。

【0022】以上第2実施形態を要約すれば、メモリセル内ビット線3’のセルアレイ外部への引き出し部分に

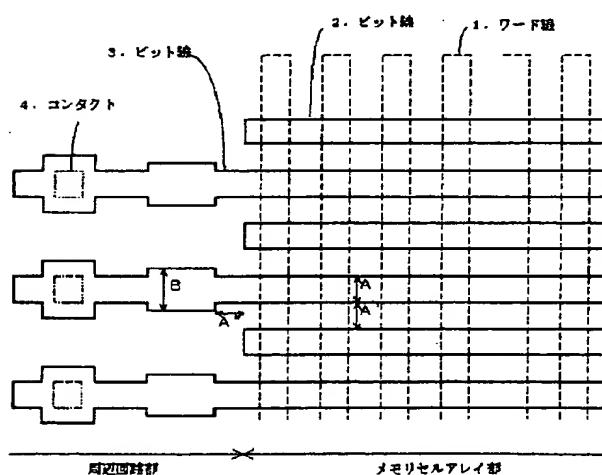
おいて、その線幅を太く設定することでビット線3'の断線を防ぎ歩留まりを改善することができる。すなわち、メモリセル内ビット線3'のセルアレイ外部への引き出し部分において、ビット線3'間の短絡を起こすことなく、ビット線3'の細り及び断線を防ぐことができるようになり、その結果、歩留まりを改善できるといった効果を奏する。例えば、配線が密である領域から一定の間隔において線幅を太らせているので、リソグラフィー上、解像限界に近い微細な密パターンの加工に必要な露光条件では疎なパターン付近の光強度が相対的に強まりオーバー露光条件となつたときであっても、レジストパターンの細り、解像不良を回避することができる。

【0023】なお、本実施の形態においては、本発明はDRAMの配線に限定されず、本発明を適用する上で好適なシステムLSIやASIC等の集積回路の微細な配線、ディスクリート素子の微細な配線、一般的な電子デバイスの微細な配線等に適用することができる。また、上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。また、各図において、同一構成要素には同一符号を付している。
20

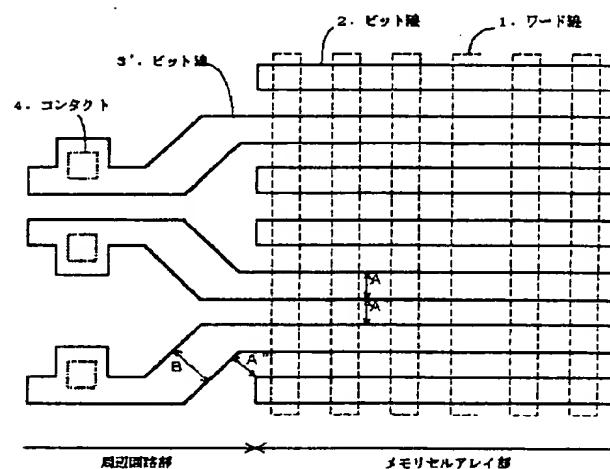
【0024】

【発明の効果】本発明は、メモリセル内ビット線のセルアレイ外部への引き出し部分において、ビット線間の短絡を起こすことなく、ビット線の細り及び断線を防ぐことができるようになり、その結果、歩留まりを改善できるといった効果を奏する。

【図1】



【図2】



【図面の簡単な説明】

【図1】本発明の半導体装置(DRAM)のメモリセルアレイ内ビット線とその下に配置されるワード線の第1実施形態を示す平面レイアウト図である。

【図2】本発明の半導体装置(DRAM)のメモリセルアレイ内ビット線とその下に配置されるワード線の第2実施形態を示す平面レイアウト図である。

【図3】図2におけるビット線延在方向における製造工程の一断面図である。

【図4】一般的なDRAMのセルアレイ内ビット線とその下に配置されるワード線の平面レイアウト図である。

【図5】第2従来技術の配線パターンを示す概略図である。

【符号の説明】

1, 12…ワード線

2, 2, 3, 3', 3''…ビット線

4…コンタクト

10…シリコン基板

11…素子分離絶縁膜

13…SD拡散層

14…層間絶縁膜

15…タンクステンポリサイド膜

16…フォトレジスト

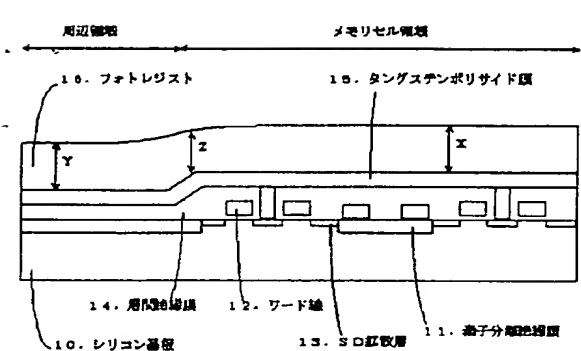
A…ライン幅

A'…スペース

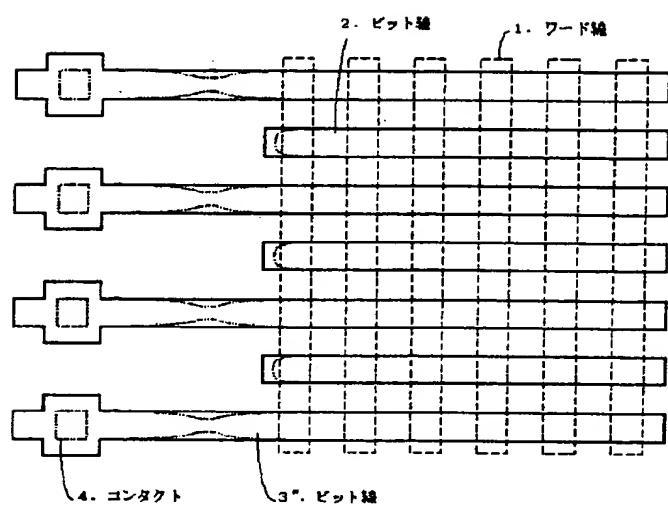
A''…最小基準寸法

X, Y, Z…タンクステンポリサイド膜の膜厚

【図3】



【図4】



【図5】

